

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-259987
 (43)Date of publication of application : 24.09.1999

(51)Int.CI. G11B 20/10
 G11B 20/18
 G11B 20/18

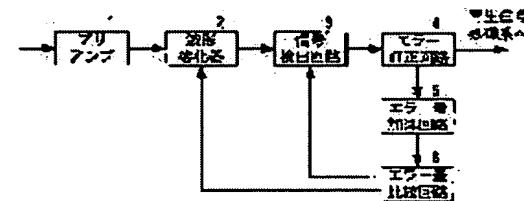
(21)Application number : 10-082734 (71)Applicant : VICTOR CO OF JAPAN LTD
 (22)Date of filing : 13.03.1998 (72)Inventor : KIYOFUJI TAKASHI
 TONAMI JUNICHIRO
 SUYAMA AKINORI

(54) DIGITAL SIGNAL REPRODUCING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a circuit capable of reducing power consumption without increasing an error occurrence rate.

SOLUTION: The number of errors made within a prescribed period is detected, and if the number of errors is large, the tap coefficient of a transversal filter in a waveform equalizer 2 is changed adaptively according to a reproducing signal, and viterbi decoding is performed in a signal detecting circuit 3. On the other hand, if the number of errors is small, a prescribed value is used for the tap coefficient of the transversal filter in the waveform equalizer 2, signal detection is performed in the signal detecting circuit 3 according to whether the level of an inputted signal exceeds a threshold value or not, and power consumption is reduced by reducing the number of operating circuits when the number of errors is small.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-259987

(43)公開日 平成11年(1999)9月24日

(51) Int.Cl.⁶
G11B 20/10
20/18
512
550

識別記号
321
20/18
512
550

F I
G11B 20/10
20/18
512
550

321 A
Z
Z

審査請求 未請求 請求項の数 4 FD (全 7 頁)

(21)出願番号 特願平10-82734

(22)出願日 平成10年(1998)3月13日

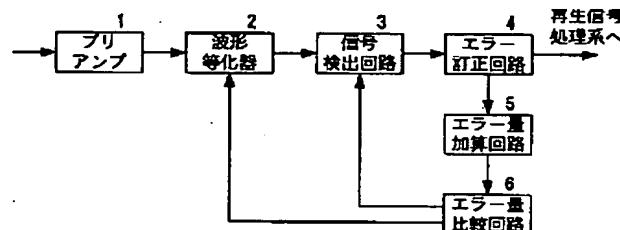
(71)出願人 000004329
日本ピクター株式会社
神奈川県横浜市神奈川区守屋町3丁目12番地
(72)発明者 清藤 隆志
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクター株式会社内
(72)発明者 戸波 淳一郎
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクター株式会社内
(72)発明者 須山 明昇
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ピクター株式会社内

(54)【発明の名称】デジタル信号再生回路

(57)【要約】

【課題】 デジタル信号再生回路において、エラー発生率を増加させずに消費電力を削減させることができない回路を提供すること。

【解決手段】 所定期間内に発生したエラー量を検出し、エラー量が多い時には、波形等化器2におけるトランスバーサルフィルタのタップ係数を再生信号に応じて適応的に変化させると共に、信号検出回路3ではビタビ復号を行う一方、エラー量が少ない時には、波形等化器2におけるトランスバーサルフィルタのタップ係数として所定の値を用いると共に、信号検出回路3では入力信号のレベルがしきい値を越えるか否かで信号検出を行い、エラー量が少ない時の動作回路を少なくすることにより消費電力を削減させた。



【特許請求の範囲】

【請求項1】再生デジタル信号の波形等化を行う波形等化手段と、
前記波形等化手段からの信号検出を行う信号検出手段と、
前記信号検出手段にて検出された検出信号に対してエラー検出を行うと共にエラー訂正を行うエラー訂正手段とを備え、
所定期間内に前記エラー訂正手段にて検出されたエラー量に応じて前記波形等化手段又は前記信号検出手段の少なくとも一方の消費電力を削減することを特徴とするデジタル信号再生回路。

【請求項2】前記波形等化手段は、トランスバーサルフィルタと、前記トランスバーサルフィルタからの出力信号に基づき、前記トランスバーサルフィルタにおけるタップ係数を適応的に演算する演算手段とからなり、前記エラー訂正手段にて検出されたエラー量に応じて、前記演算手段の動作がオン・オフされることを特徴とするデジタル信号再生回路。

【請求項3】前記波形等化手段は、トランスバーサルフィルタと、前記トランスバーサルフィルタからの出力信号に基づき、前記トランスバーサルフィルタにおけるタップ係数を適応的に演算する演算手段とからなり、前記エラー訂正手段にて検出されたエラー量に応じて、前記演算手段にて演算される情報ビット数が変化することを特徴とするデジタル信号再生回路。

【請求項4】前記信号検出手段は、デジタル信号列の相関を利用した最尤検出のアルゴリズムにより信号検出を行うビタビ復号手段と、入力信号を所定のしきい値と比較することにより信号検出を行うレベル比較信号検出手段とを備え、

前記エラー訂正手段にて検出されたエラー量に応じて、前記ビタビ復号手段又は前記レベル比較信号検出手段のいずれか一方が動作することを特徴とするデジタル信号再生回路。

【0001】

【発明の詳細な説明】

【発明の属する技術分野】本発明は、デジタル情報信号再生装置で使用されるデジタル信号再生回路に関する。

【0002】

【従来の技術】従来より、デジタル信号再生回路における波形等化回路として、トランスバーサルフィルターを用いた自動等化回路、また、信号検出回路として、ビタビ復号回路を使用したものが知られている。

【0003】図5は、磁気記録媒体からデジタル情報信号を再生するための従来のデジタル信号再生回路を示すブロック図である。図5において、磁気記録媒体から再生されるデジタル再生信号は、プリアンプ1にて増幅され、トランスバーサルフィルタを用いた波形等化器2に入力される。

【0004】波形等化器2では、テープ、ヘッド系で生じる再生信号の波形の鈍りを補正すると共に、ノイズの影響を除去するよう波形の補正を行い、波形補正の行われた信号がビタビ復号回路により構成される信号検出回路3に入力される。ビタビ復号回路により構成される信号検出回路3は、デジタル信号列の相関を利用した最尤検出のアルゴリズムにより、入力デジタル再生信号の信号検出を行い、[0]及び[1]よりなるデジタル信号を得るものであり、その詳細については、「デジタルビデオ記録技術」江藤 他著 日刊工業社に記載の通りである。

【0005】そして、信号検出回路3にて得られた[0]及び[1]よりなるデジタル信号は、エラー訂正回路4にて誤り訂正が行われた後に、図示しない再生信号処理系にて再生処理をして再生信号を得ることになる。

【0006】ここで、図6はトランスバーサルフィルタにより自動等化回路が形成される波形等化器2を示すブロック図である。トランスバーサルフィルタは、入力されるデジタル再生信号を信号周期に等しい複数の遅延素子10～14を介して遅延させ、各遅延素子10～14から出力される各信号に対して乗算回路15～19にて各タップ係数を乗算して得た各信号を加算回路20にて加算合成することにより、入力デジタル再生信号の波形等化を行うものである。

【0007】そして、加算回路20から出力される信号を仮判定回路21にて仮判定し、この仮判定した判定結果と加算回路20から出力される信号との差を減算回路22にて得、各遅延素子10～14から出力される各信号と減算回路22が outputする信号とを乗算回路23～27にて乗算した各信号をL PF28～32を介して出力することにより乗算回路15～19における各タップ係数を得ている。

【0008】なお、各乗算回路15～19に入力される各タップ係数には、重みづけがなされ、乗算回路17に入力されるタップ係数の絶対値が最も大きく、乗算回路16及び18に入力されるタップ係数の絶対値が次に大きく、乗算回路15及び19に入力されるタップ係数の絶対値は最も小さくなっている。

【0009】このように、トランスバーサルフィルタに対して、仮判定回路21、減算回路22、乗算回路23～27、L PF28～32を加え、自動等化ループを形成することにより、乗算回路15～19でのタップ係数を適応的に変化させることができ、各タップ係数を定数として設定しておく場合と比較して、より正確な波形等化を行うことが可能となる。

【0010】

【発明が解決しようとする課題】ところが、このような波形等化器2は、適応的にタップ係数を変化させている為に、より正確な波形等化が可能である反面、乗算回路及びL PFを数多く必要とし、消費電力が大きくなつて

しまうという問題を抱えていた。また、ビタビ複号回路により構成される信号検出回路3は、デジタル信号列の相関を利用して信号検出を行う為に、より確からしい信号検出が可能である反面、その内部で複数の信号を常に保持し、そして比較している為に回路規模は大きくなり、消費電力も大きいという問題があった。

【0011】したがって、このような波形等化器2及び信号検出回路3を使用したデジタル信号再生回路は、S/Nの高い再生信号が得られるものの、消費電力が大きく、特にカメラ一体型VTR等、バッテリーにより駆動させているデジタル情報信号の再生装置では、使用時間を短くしてしまう恐れがあった。

【課題を解決するための手段】以上を課題を解決するために、本発明に係るデジタル信号再生回路は、再生デジタル信号の波形等化を行う波形等化手段と、前記波形等化手段からの信号検出を行う信号検出手段と、前記信号検出手段にて検出された検出信号に対してエラー検出を行うと共にエラー訂正を行うエラー訂正手段とを備え、所定期間内に前記エラー訂正手段にて検出されたエラー量に応じて前記波形等化手段又は前記信号検出手段の少なくとも一方の消費電力を削減することを特徴とし、前記波形等化手段は、トランスバーサルフィルタと、前記トランスバーサルフィルタからの出力信号に基づき、前記トランスバーサルフィルタにおけるタップ係数を適応的に演算する演算手段とからなり、前記エラー訂正手段にて検出されたエラー量に応じて、前記演算手段の動作がオン・オフされることを特徴とし、また、前記波形等化手段は、トランスバーサルフィルタと、前記トランスバーサルフィルタからの出力信号に基づき、前記トランスバーサルフィルタにおけるタップ係数を適応的に演算する演算手段とからなり、前記エラー訂正手段にて検出されたエラー量に応じて、前記演算手段にて演算される情報ビット数が変化することを特徴とし、更に、前記信号検出手段は、デジタル信号列の相関を利用した最尤検出のアルゴリズムにより信号検出を行うビタビ復号手段と、入力信号を所定のしきい値と比較することにより信号検出を行うレベル比較信号検出手段とを備え、前記エラー訂正手段にて検出されたエラー量に応じて、前記ビタビ復号手段又は前記レベル比較信号検出手段のいずれか一方が動作することを特徴とするものである。

【0012】

【発明の実施の形態】本発明は、消費電力の少ないデジタル信号再生回路を提供することを目的としており、以下にその詳細を説明する。図1は、本発明の実施例にかかるデジタル信号再生回路である。図1において、1は磁気記録媒体から再生されるデジタル再生信号が入力され、入力信号を所定の信号レベルまで増幅して出力するプリアンプ、2はプリアンプ1からの信号が入力され、後述するエラー量比較回路6からの第1の制御信号に基づき波形等化を行う波形等化器、3は波形等化器2から

出力される信号が入力され、後述するエラー量比較回路6からの第2の制御信号に基づき信号検出を行う検出回路である。

【0013】そして、4は信号検出回路3から出力される信号に対してエラー訂正を行うエラー訂正回路であり、エラー訂正回路4は、エラー訂正を終えた信号を図示しない再生信号処理系に出力すると共に、エラー量を示す信号を出力する。また、5はエラー訂正回路4から出力される信号を加算するエラー量加算回路であり、6はエラー量加算回路5が出力する加算信号を設定値と比較することにより、波形等化器2に対して第1の制御信号を出力すると共に、信号検出回路3に対して第2の制御信号を出力するエラー量比較回路である。

【0014】このような構成にて、エラー量比較回路6は、所定期間内にエラー訂正回路4にて検出されたエラー量が設定値を越えているか否かを検出し、その検出結果に応じて波形等化器2及び信号検出回路3内で動作させる回路を切換えるために第1の制御信号及び第2の制御信号を出力する。なお、第1の制御信号及び第2の制御信号を出力する為のエラー量の設定値は、第1の制御信号用と第2の制御信号用とで夫々別個に設けられている。

【0015】次に、図2を用いて波形等化器2の構成について説明する。図2に示す波形等化器2は、図6に示した従来の波形等化器に、LPF50～54、メモリ55～59、第1、第2、第3のスイッチ(SW1、SW2、SW3)を加えたものであり、図6に示す従来の波形等化器と同一の構成に関しては同一の符号を付し、その説明を省略する。

【0016】ここで、50～54はLPF28～32から出力される各信号が入力されるLPF、55～59はLPF50～54から出力される各信号を保持するメモリ、SW1は遅延素子10～14が乗算回路23～27に出力する各信号をエラー量比較回路6が出力する第1の制御信号に基づき伝送又は切断させる第1のスイッチ、SW2はLPF28～32から出力される各信号又はメモリ55～59から出力される各信号のいずれか一方の各信号を、エラー量比較回路6が出力する第1の制御信号に基づき乗算回路15～19に選択的に出力する第2のスイッチ、SW3は加算回路20が仮判定回路21及び減算回路22に出力する信号をエラー量比較回路6が出力する第1の制御信号に基づき伝送又は切断させる第3のスイッチである。

【0017】次に波形等化器2の動作を説明する。エラー量比較回路6が出力する第1の制御信号は、第1のスイッチ乃至第3のスイッチに入力され、所定期間内にエラー訂正回路4にて検出されたエラー量が設定値を越えている場合には、第1のスイッチ及び第3のスイッチは接続状態となり遅延素子10～14が出力する各信号は乗算回路23～27に伝送されると共に加算回路20が

出力する信号は仮判定回路 2 1 及び減算回路 2 2 に伝送され、また、第 2 のスイッチは L P F 2 8 ~ 3 2 から出力される信号を選択して、乗算回路 1 5 ~ 1 9 での各タップ係数として用いられる。

【 0 0 1 8 】一方、所定期間内にエラー訂正回路 4 にて検出されたエラー量が設定値を越えていない場合には、第 1 のスイッチ及び第 3 のスイッチは開放状態となり、第 2 のスイッチはメモリ 5 5 ~ 5 9 から出力される信号を選択して、乗算回路 1 5 ~ 1 9 での各タップ係数として用いられる。

【 0 0 1 9 】即ち、信号再生を開始した直後では、所定期間内にエラー訂正回路 4 にて検出されるエラー量が設定値を越えていることが多く、その場合にはトランスバーサルフィルタは、L P F 2 8 ~ 3 2 から出力される最適なタップ係数で動作し、自動等化ループが形成されている。そして、所定期間内でのエラー量は時間の経過と共に減少していく、設定値以下となると、メモリ 5 5 ~ 5 9 に保持されているタップ係数によりトランスバーサルフィルタの動作が開始される。

【 0 0 2 0 】この時メモリ 5 5 ~ 5 9 には、エラー量が設定値以下になる直前に L P F 5 0 ~ 5 4 が出力した信号が保持されており、所定期間内でのエラー量が再び設定値を越えることがない限り、トランスバーサルフィルタはメモリ 5 5 ~ 5 9 に保持される各タップ係数により動作を続ける。

【 0 0 2 1 】そして、所定期間内にエラー訂正回路 4 にて検出されたエラー量が設定値以下となった状態では、仮判定回路 2 1 、減算回路 2 2 、乗算回路 2 3 ~ 2 7 、L P F 2 8 ~ 3 2 、L P F 5 0 ~ 5 4 はその動作を停止し、遅延素子 1 0 ~ 1 4 、乗算回路 1 5 ~ 1 9 、加算回路 2 0 、メモリ 5 5 ~ 5 9 が動作して、加算回路 2 0 からの出力が信号検出回路 3 に出力されるため、デジタル信号再生回路の消費電力が大幅に下がる。

【 0 0 2 2 】なお、ここでは、メモリ 5 5 ~ 5 9 が、エラー量が設定値以下になる直前に L P F 5 0 ~ 5 4 が出力した信号を保持した例を示したが、エラー量が設定値以下になった時に L P F 5 0 ~ 5 4 が出力していた信号を予め保持しておくことも可能であり、また、エラー量が設定値以下になった時に L P F 5 0 ~ 5 4 が出力していた信号の平均による信号であっても構わない。更に、エラー量が設定値以下になった時は、予め定めておいた信号を用いることも可能であり、この時は L P F 5 0 ~ 5 4 を設ける必要がなく、構成がより簡易になる。

【 0 0 2 3 】また、ここでは、第 1 のスイッチ乃至第 3 のスイッチでの切換え動作により、自動等化ループの動作を停止させた例を示しているが、スイッチ切換えでなく、例えば仮判定回路 2 1 、減算回路 2 2 、乗算回路 2 3 ~ 2 7 、L P F 2 8 ~ 3 2 へのクロックを停止させることにより自動等化ループの動作を停止させても構わない。

【 0 0 2 4 】このようにして、波形等化器 2 はエラー量比較回路 6 が output する第 1 の制御信号により動作する回路が切換えられ、エラー量が多い状態では、消費電力が従来のデジタル信号再生回路と同程度であるものの、エラー量が少ない状態では消費電力が少なくなる。

【 0 0 2 5 】次に、図 3 を用いて信号検出回路 3 の構成について説明する。図 3 において、3 a は波形等化器 2 からの信号が入力され、エラー量比較回路 6 が output する第 2 の制御信号に基づきその動作がオン・オフ制御されるビタビ復号回路、3 b は波形等化器 2 からの信号が入力され、エラー量比較回路 6 が output する第 2 の制御信号に基づきその動作がオン・オフ制御されるレベル検出回路、S W 4 は、ビタビ復号回路 3 a の出力信号又はレベル検出回路 3 b の出力信号のいずれか一方の信号をエラー量比較回路 6 が output する第 2 の制御信号に基づきエラー訂正回路 4 に選択的に出力する第 4 のスイッチである。

【 0 0 2 6 】なお、ビタビ復号回路 3 a は、デジタル信号列の相関を利用した最尤検出のアルゴリズムにより、波形等化器 2 からの信号に対して信号検出を行う一方、レベル検出回路 3 b は、その内部に所定のしきい値を持ち、波形等化器 2 からの信号が所定のしきい値を越えているか否かに基づき信号検出を行っている。

【 0 0 2 7 】そして、エラー量比較回路 6 が output する第 2 の制御信号によりビタビ復号回路 3 a が動作する時は、レベル検出回路 3 b がその動作を停止して、第 4 のスイッチはビタビ復号回路 3 a からの信号を出力し、レベル検出回路 3 b が動作する時は、ビタビ復号回路 3 a がその動作を停止して、第 4 のスイッチはレベル検出回路 3 b からの信号を出力するよう構成されている。

【 0 0 2 8 】次に信号検出回路 3 の動作を説明する。エラー量比較回路 6 が output する第 2 の制御信号は、信号検出回路 3 に入力され、所定期間内にエラー訂正回路 4 にて検出されたエラー量が設定値を越えている場合には、ビタビ復号回路 3 a が動作し、第 4 のスイッチはビタビ復号回路 3 a から出力される信号を選択してエラー訂正回路 4 に出力する。

【 0 0 2 9 】一方、所定期間内にエラー訂正回路 4 にて検出されたエラー量が設定値を越えていない場合には、40 レベル検出回路 3 b が動作し、第 4 のスイッチはレベル検出回路 3 b から出力される信号を選択してエラー訂正回路 4 に出力する。

【 0 0 3 0 】即ち、信号再生を開始した直後では、所定期間内にエラー訂正回路 4 にて検出されるエラー量が設定値を越えていることが多く、その場合にはより確からしい信号検出が可能であるビタビ復号回路 3 a が動作し、所定期間内でのエラー量が時間の経過と共に減少し、設定値以下となると、回路規模の小さいレベル検出回路 3 b が動作する。従って、所定期間内でのエラー量が設定値以下となった状態では、デジタル信号再生回路

の消費電力が大幅に下がる。

【0031】このようにして、信号検出回路3はエラー量比較回路6が出力する第2の制御信号により動作する回路が切換えられ、エラー量が多い状態では、消費電力が従来のデジタル信号再生回路と同程度であるものの、エラー量が少ない状態では消費電力が少なくなる。

【0032】次に、図4を用いて、波形等化器2の他の構成について説明する。図4に示す波形等化器2は、図6に示した従来の波形等化器に、ピット削減回路60～65、第5のスイッチ乃至第10のスイッチ(SW5、SW6、SW7、SW8、SW9、SW10)を加えたものであり、図6に示す従来の波形等化器と同一の構成に関しては同一の符号を付し、その説明を省略する。

【0033】ここで、60は減算回路22が出力する8ビットの信号を1ビット又は2ビット程度までビット数を削減して出力するピット削減回路、SW5は減算回路22が出力する8ビットの信号又はピット削減回路60が出力する例えば1ビット又は2ビット程度の信号のいずれか一方の信号を、エラー量比較回路6がoutする第1の制御信号に基づき乗算回路23～27に出力する第5のスイッチである。

【0034】また、61～65は遅延素子10～14が出力する8ビットの各信号を例えば1ビット又は2ビット程度までビット数を削減して出力するピット削減回路、SW6乃至SW10は、エラー量比較回路6が出力する第1の制御信号に基づき同時に切換えが行われ、遅延素子10～14が出力する8ビットの各信号又はピット削減回路61～65が出力する例えば1ビット又は2ビット程度の各信号のいずれか一方の各信号を乗算回路23～27に出力する第6のスイッチ乃至第10のスイッチである。

【0035】次に、図4に示す波形等化器2の動作について説明する。エラー量比較回路6が出力する第1の制御信号は、第5のスイッチ乃至第10のスイッチに入力され、所定期間内にエラー訂正回路4にて検出されたエラー量が設定値を越えている場合には、第5のスイッチは減算回路22から出力される信号を選択し、第6のスイッチ乃至第10のスイッチは、遅延素子10～14が出力する8ビットの各信号を選択して出力する。

【0036】一方、所定期間内にエラー訂正回路4にて検出されたエラー量が設定値を越えていない場合には、第5のスイッチ乃至第10のスイッチはピット削減回路60～65から出力される例えば1ビット又は2ビット程度の信号を選択して出力する。

【0037】即ち、信号再生を開始した直後では、所定期間内にエラー訂正回路4にて検出されるエラー量が設定値を越えていることが多く、その場合には乗算回路23～27は、8ビットの信号の乗算演算を行い、そして、所定期間内でのエラー量が時間の経過と共に減少ていき、設定値以下になると乗算回路23～27は1ビ

ット又は2ビット程度の信号の乗算演算を行う。

【0038】従って、所定期間にエラー訂正回路4にて検出されたエラー量が設定値以下となった状態では、乗算回路23～27での演算量が大幅に減少し、加算回路20からの出力が信号検出回路3に出力される、デジタル信号再生回路の消費電力が下がる。

【0039】このようにして、図4に示す波形等化器2はエラー量比較回路6が出力する第1の制御信号により信号のビット数が切換えられ、エラー量が多い状態では、消費電力が従来のデジタル信号再生回路と同程度であるものの、エラー量が少ない状態では消費電力が少なくなる。

【0040】以上の実施例では、エラー量比較回路6が波形等化器2に第1の制御信号を出力し、また信号検出回路3に第2の制御信号を出力した例を示したが、波形等化器2又は信号検出回路3の一方のみに制御信号を出力し、消費電力を少なくするよう構成しても構わない。

【0041】そして、エラー量比較回路6が波形等化器2と信号検出回路3との両方に制御信号を出力する場合は、既に説明したように、第1の制御信号用と第2の制御信号用の設定値を別個に持ち、波形等化器2にて消費電力が少くなり始めるタイミングと信号検出回路3にて消費電力が少くなり始めるタイミングとが一致しないよう制御することにより、エラー量を増加させずに消費電力を減少させることができる。

【0042】また、波形等化器2は、再生信号をアナログ形態で処理する波形等化器であっても、デジタル形態で処理する波形等化器であっても構わないが、波形等化器2がアナログ形態での波形等化処理を行う場合には、ビタビ復号回路3aの前段にA/D変換器を設ける必要がある。その際には、エラー量比較回路6が出力する第2の制御信号によってビタビ復号回路3aがオン・オフするのに伴い、A/D変換器もオン・オフするよう制御し、レベル検出回路3bが動作している間は、A/D変換器が動作しないよう制御することにより、消費電力を減少させることができる。

【0043】

【発明の効果】本発明に係るデジタル信号再生回路では、再生信号におけるデータのエラー量に応じて波形等化手段における自動等化ループの動作と信号検出手段におけるビタビ復号手段の動作とを停止させている為、信号再生を開始させた直後等で、エラー量が多い場合には必要なエラー発生率を確保できるのと同時に、ある程度の時間が経過してエラー量が少なくなった場合や再生信号のS/N及び周波数特性が良好である場合には、エラー発生率を増加させずに消費電力を削減させることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るデジタル信号再生回路を説明する為のブロック図である。

【図 2】本発明の実施例に係るデジタル信号再生回路の波形等化器を説明する為のブロック図である。

【図 3】本発明の実施例に係るデジタル信号再生回路の信号検出回路を説明する為のブロック図である。

【図 4】本発明の実施例に係るデジタル信号再生回路の波形等化器における他の構成を説明する為のブロック図である。

【図 5】従来のデジタル信号再生回路を説明する為のブロック図である。

【図 6】従来のデジタル信号再生回路の波形等化器を説明する為のブロック図である。

【符号の説明】

1…プリアンプ

2…波形等化器

3…信号検出回路

3 a…ビタビ復号回路

3 b…レベル検出回路

4…エラー訂正回路

5…エラー量加算回路

6…エラー量比較回路

10～14…遅延素子

15～19、23～27…乗算回路

20…加算回路

21…仮判定回路

22…減算回路

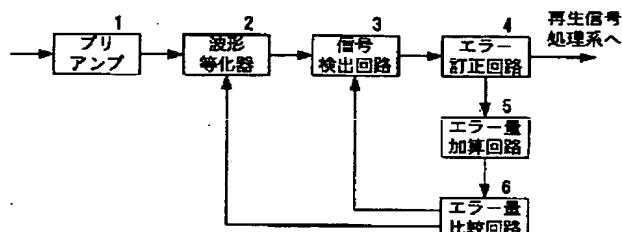
28～32、50～54…LPF

55～59…メモリ

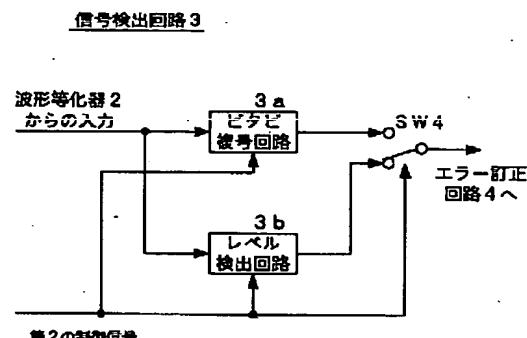
60～65…ビット削減回路

SW1～SW10…スイッチ

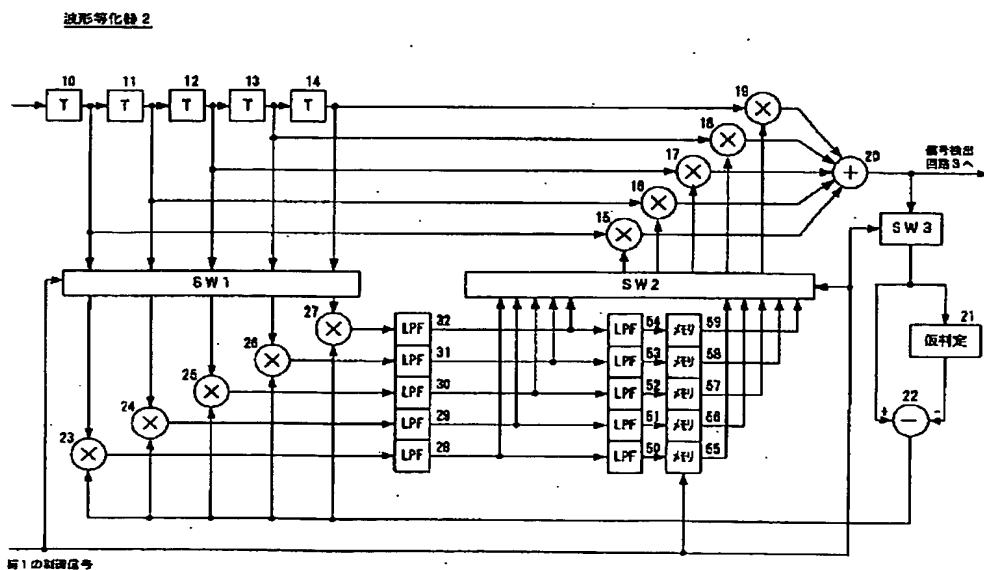
【図 1】



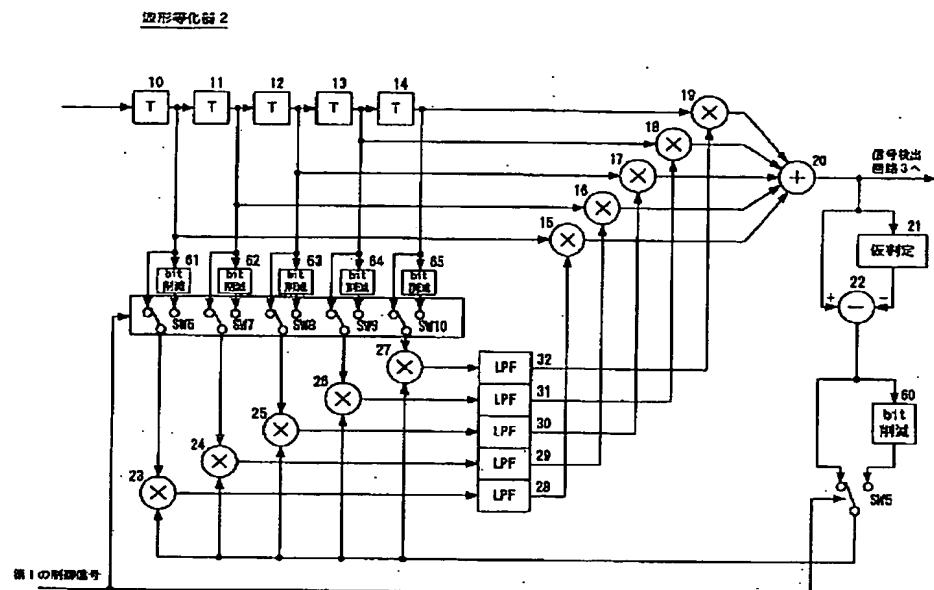
【図 3】



【図 2】



【図 4】



【図 5】



【図 6】

